

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-022007

(43)Date of publication of application : 21.01.2000

(51)Int.CI.

H01L 21/8247  
H01L 29/788  
H01L 29/792  
H01L 27/10

(21)Application number : 10-183687

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.06.1998

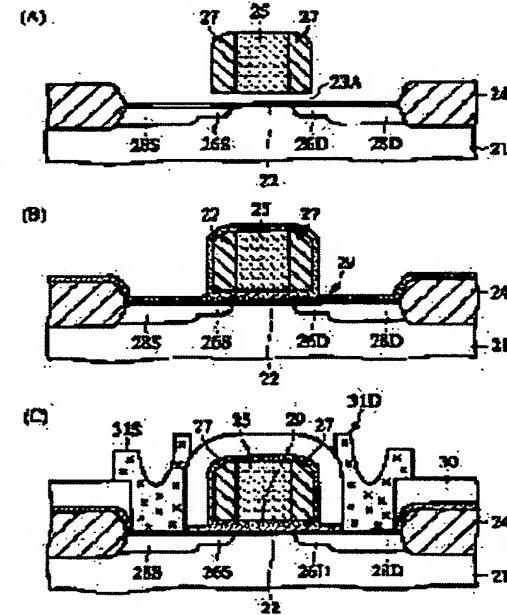
(72)Inventor : NAKAMURA SHUNJI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To make feasible of applying the self alignment process to a gate insulating film having no damage thereto in the case of manufacturing a transistor having the gate insulating film of a high dielectric or ferroelectric in relation to the manufacturing method of a semiconductor device.

**SOLUTION:** A gate electrode 25 whose both ends are on a field insulating film 24 while the other parts are on an Si nitride film 23 as a gate insulating film dummy is formed and then impurities are ion-implanted using the gate electrode 15 and the field insulating film 24 as masks so as to activation heat-treating the implanted impurities for the formation of a lightly doped source region 26S and heavily doped source region 28S as well as lightly doped drain region 26D and heavily doped drain region 28D and then after removing the Si nitride film 23, a cavity 23A is made beneath the gate electrode 25, etc., to form a gate insulating film 29 made of a high dielectric at least filling up the cavity 23A finally for the formation of a source electrode 31S and a drain electrode 31D.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-22007

(P2000-22007A)

(43)公開日 平成12年1月21日 (2000.1.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>8</sup> (参考)
H 01 L 21/8247		H 01 L 29/78	3 7 1 5 F 0 0 1
29/788		27/10	4 5 1 5 F 0 8 3
29/792			
27/10	4 5 1		

審査請求 未請求 請求項の数10 O L (全 22 頁)

(21)出願番号	特願平10-183687	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成10年6月30日 (1998.6.30)	(72)発明者	中村 俊二 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74)代理人	100072833 弁理士 柏谷 昭司 (外2名)
			最終頁に続く

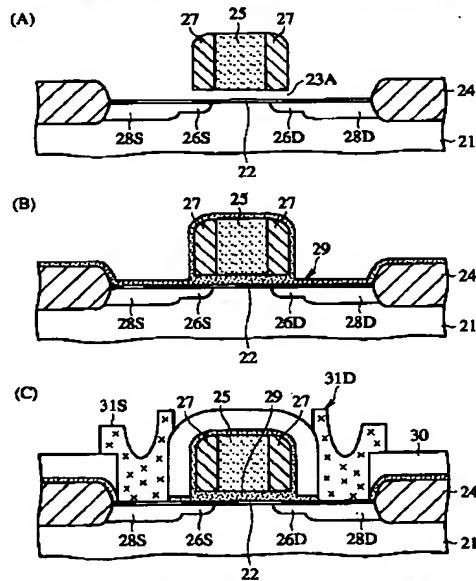
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置の製造方法に関し、高誘電体或いは強誘電体のゲート絶縁膜をもつトランジスタを製造する際、ゲート絶縁膜にダメージも与えずにセルフ・アライメント方法を適用できるようにする。

【解決手段】 両端がフィールド絶縁膜24上に在ると共に他の部分がゲート絶縁膜ダミーである窒化Si膜23上に在るゲート電極25を形成し、ゲート電極25やフィールド絶縁膜24をマスクに不純物をイオン注入し、注入された不純物の活性化熱処理を行なって低不純物濃度ソース領域26S及び高不純物濃度ソース領域28S、低不純物濃度ドレイン領域26D及び高不純物濃度ドレイン領域28Dを形成してから窒化Si膜23を除去してゲート電極25直下などに空洞23Aを生成させ、少なくとも空洞23Aを埋める高誘電体からなるゲート絶縁膜29を形成し、その後、ソース電極31S及びドレイン電極31Dを形成する。

工程要所に於ける半導体装置の要部切断側面図



26S: 低不純物濃度ソース領域 29: ゲート絶縁膜  
26D: 低不純物濃度ドレイン領域 30: 畳間絶縁膜  
28S: 高不純物濃度ソース領域 31S: ソース電極  
28D: 高不純物濃度ドレイン領域 31D: ドレイン電極

## 【特許請求の範囲】

【請求項1】両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、  
 次いで、ゲート電極並びにフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、  
 次いで、注入された不純物の活性化熱処理を行なってソース領域並びにドレイン領域を形成してからゲート絶縁膜ダミーを除去してゲート電極直下などに空洞を生成させる工程と、  
 次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、  
 その後、ソース電極及びドレイン電極などを形成する工程とが含まれてなることを特徴とする半導体装置の製造方法。

【請求項2】両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、  
 次いで、ゲート電極並びにフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、  
 次いで、ゲート絶縁膜ダミーを除去してゲート電極直下などに空洞を生成させてから不純物の活性化熱処理を行なってソース領域並びにドレイン領域を形成する工程と、  
 次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、  
 その後、ソース電極及びドレイン電極などを形成する工程とが含まれてなることを特徴とする半導体装置の製造方法。

【請求項3】両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、  
 次いで、ゲート絶縁膜ダミーのゲート電極と接する部分以外を除去してからゲート電極並びにフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、  
 次いで、不純物の活性化熱処理を行なってソース領域並びにドレイン領域を形成してからゲート絶縁膜ダミーを除去してゲート電極直下に空洞を生成させる工程と、  
 次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、  
 その後、ソース電極及びドレイン電極などを形成する工程とが含まれてなることを特徴とする半導体装置の製造方法。

【請求項4】両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、  
 次いで、ゲート絶縁膜ダミーのゲート電極と接する部分以外を除去してからゲート電極並びにフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、  
 次いで、ゲート絶縁膜ダミーを除去してゲート電極直下

に空洞を生成させてから不純物の活性化熱処理を行なってソース領域並びにドレイン領域を形成する工程と、  
 次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、  
 その後、ソース電極及びドレイン電極などを形成する工程とが含まれてなることを特徴とする半導体装置の製造方法。

【請求項5】両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、

10 次いで、ゲート絶縁膜ダミーを全部除去してゲート電極直下などに空洞を生成させてからゲート電極及びフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、

次いで、注入された不純物の活性化熱処理を行なってソース領域並びにドレイン領域を形成する工程と、  
 次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、  
 その後、ソース電極及びドレイン電極などを形成する工程とが含まれてなることを特徴とする半導体装置の製造方法。

20 【請求項6】ゲート電極の側面にサイド・ウォールを形成する工程  
 が含まれてなることを特徴とする請求項1乃至5の何れか1記載の半導体装置の製造方法。

【請求項7】サイド・ウォール形成の前に少なくとも1回及び後に少なくとも1回のソース領域用とドレイン領域用のイオン注入を行なう工程が含まれてなることを特徴とする請求項6記載の半導体装置の製造方法。

30 【請求項8】両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、  
 次いで、ゲート電極の側面にサイド・ウォールを形成する工程と、

次いで、サイド・ウォールの頂面を露出させて絶縁膜を形成する工程と、  
 次いで、サイド・ウォール及びゲート絶縁膜ダミーを除去して空洞を生成させる工程と、  
 次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程とが含まれてなることを特徴とする半導体装置の製造方法。

40 【請求項9】空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する以前にイオン注入された不純物の活性化熱処理が行なわれることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、  
 次いで、不純物イオン注入を行なってから不純物の活性化熱処理してソース領域並びにドレイン領域を形成する

工程と、

次いで、表面側にゲート電極が充分に埋まる程度に厚い絶縁膜を形成して平坦化する工程と、

次いで、平坦化された絶縁膜の表面と支持基板とを貼り合わせてからソース領域並びにドレイン領域が存在する側を研磨してフィールド絶縁膜が露出するまで薄膜化する工程と、

次いで、薄膜化された側からゲート絶縁膜ダミーに達する開口を形成する工程と、

次いで、開口を介してゲート絶縁膜ダミーを除去してゲート電極直下などに空洞を生成させる工程と、

次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、

その後、ソース電極及びドレイン電極などを形成する工程とが含まれてなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ゲート絶縁膜に高誘電体膜或いは強誘電体膜を用いるトランジスタを含む半導体装置を製造する方法に関する。

【0002】現在、トランジスタに於けるゲート絶縁膜の薄膜化については限界となりつつある為、誘電率が高い材料を用いてゲート絶縁膜を形成し、薄膜化と同じ効果を電気的に達成したトランジスタが実現されているが、誘電率が高い材料、即ち、高誘電体或いは強誘電体を用いる場合、従来から多用されてきたセルフ・アライメント方法を探ることができないので、本発明では、その問題を解消する一手段を開示する。

【0003】

【従来の技術】一般に、トランジスタ・メモリ・セルなどを含む集積回路装置を製造する分野に於いては、トランジスタを作成する際にセルフ・アライメント方法が多用されてきた。

【0004】このセルフ・アライメント方法は、大変よく知られた技術であって、説明する必要はないのであるが、本発明が従来の技術と相違することを明確にする上で有意義であるから、次に図を用いて説明する。

【0005】図18及び図19は従来例を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。尚、ここで説明する半導体装置は、素子間分離をLOCOS (local oxidation of silicon) 法で行なったものである。

【0006】図18 (A) 参照

18-(1)

Si半導体基板101に於ける能動素子(トランジスタ)領域を耐酸化性被膜である窒化Si膜102で覆ってから熱酸化を行なってフィールド絶縁膜103を形成する。

【0007】図18 (B) 参照

18-(2)

窒化Si膜102を除去してSi半導体基板101に於ける能動素子領域を表出させてから熱酸化を行なってゲート絶縁膜104を形成する。

【0008】18-(3)

導電体材料膜を形成してからバターニングを行なってゲート電極105を形成する。

【0009】図18 (C) 参照

18-(4)

10 ゲート電極5及びフィールド絶縁膜3をマスクとしてイオン注入を行ない、LDD (lightly doped drain) 構造の低不純物濃度領域106を形成する。

【0010】図19 (A) 参照

19-(1)

全面に絶縁膜を形成してから異方性エッチングを行なって、ゲート電極105の側面にサイド・ウォール107を形成する。

【0011】19-(2)

20 サイド・ウォール107、ゲート電極105、フィールド絶縁膜103をマスクとしてイオン注入を行ない、LDD構造の高不純物濃度領域108を形成する。

【0012】19-(3)

高温の熱処理を行なって、イオン注入された不純物を活性化し、低不純物濃度ソース領域106S及び高不純物濃度ソース領域108S、低不純物濃度ドレイン領域106D及び高不純物濃度ドレイン領域108Dを形成する。

【0013】図19 (B) 参照

30 19-(4)

絶縁膜109を形成してから電極コンタクト窓を形成し、高不純物濃度ソース領域108Sにコンタクトするソース電極110S及び高不純物濃度ドレイン領域108Dにコンタクトするドレイン電極110Dなどを形成する。

【0014】前記説明した従来例では、素子間分離をLOCOS法で形成したフィールド絶縁膜3に依って行なっているが、STI (shallow trench isolation) 法を用いて形成することも行なわれている。

【0015】図19 (C) はSTI法で形成したフィールド絶縁膜111をもつ半導体装置を表す要部切断側面図であり、図18乃至図19 (B) に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0016】STI法でフィールド絶縁膜111を形成する工程は、後に、図7を参照して説明される本発明の実施の形態2と全く同じであるから、その説明を参考にされると良い。

50 【0017】前記従来例に依れば、ゲート電極とソース

領域或いはドレイン領域との間に位置ずれが発生する事ではなく、従って、トランジスタの特性ばらつきが少なく、集積回路装置の性能は向上するので、前記セルフ・アライメント方法は、現在、トランジスタを製造する場合の不可欠の技術になっている。

【0018】ところで、集積回路装置では、集積度の向上、従って、トランジスタ・サイズの縮小が要求されているので、ゲート絶縁膜も薄膜化されなければならないが、その薄膜化については、最早、物理的限界に近付いていて、従来の例えは酸化膜で形成されたゲート絶縁膜に代えて、誘電率が高い絶縁膜、即ち、高誘電体膜や強誘電体膜が用いられようとしている。

【0019】現在、 $\text{SiO}_2$ を用いたゲート絶縁膜で最も薄いものの厚さは約15[Å]程度であって、原子層にすると約3層分にしかならず、原子の分布に僅かなばらつきを生ずると原子層が2層或いは1層の部分が局所的に生成され、このようになると、当然、リーク電流が流れ易くなる。

【0020】この問題を解消するには、リソグラフィ技術に影響しない範囲でゲート絶縁膜を厚くすれば良いのであるが、そのようにした場合にはチャネルとゲート電極との間に充分なキャパシティが得られないから、そこで、ゲート絶縁膜の材料に高誘電体や強誘電体を用いることが必要になってくる。

【0021】ゲート絶縁膜の材料に於ける誘電率が高ければ、厚膜であっても電気的には薄膜と同効になるので、トランジスタ・サイズの縮小則に沿ってゲート絶縁膜を薄膜化する必要はなくなり、従って、耐リーク電流などの面で信頼性を向上させることができる。

【0022】また、現在、今まで多用されてきたDRAM(dynamic random access memory)のような揮発性のメモリ素子に代わる不揮発性のメモリ素子を実用化する為の種々な研究開発が実施されている。

【0023】特に、ゲート絶縁膜に強誘電体膜を用い、1個のトランジスタを用いるのみで1ビットの記憶機能をもつトランジスタ型メモリ素子についても研究開発が行なわれている。

【0024】このようなメモリ素子が実現できれば、1トランジスタ及び1キャパシタで1メモリ素子とするDRAMに比較した場合、下記のような利点を享受することができる。

- ① 集積度を2倍以上に高めることができる。
- ② 不揮発性メモリであるから、記憶保持の為の電力を必要とせず、システム全体の省エネルギー化と長時間使用が可能となる。
- ③ バッテリが小型化できるから、システム全体の小型化が可能である。
- ④ 記憶を常時保持できるので、必要な時に直ちにシステムを使用することができる。因みに、現用のバーソナ

ル・コンピュータに於いては、電源を投入した後、ハード・ディスクから情報をDRAMに書き込むことが必要であり、その立ち上げに2[分]～3[分]もかかり、その使い勝手は良くない。

【0025】さて、前記したように1トランジスタ型メモリ素子については、種々と優れた点がありながら、現在、実用可能なものを量産するまでに至っていない状態にあり、その最大の理由は、集積回路装置を構成するトランジスタを作成する際、セルフ・アライメント方法を適用することができない事にある。

【0026】即ち、セルフ・アライメント方法に依って形成したソース領域及びドレイン領域について、その活性化熱処理を行なう際には、ゲート電極下には既にゲート絶縁膜が存在していることは当然であり、そのゲート絶縁膜が従来のように酸化膜であれば何も問題は起こらないのであるが、高誘電体や強誘電体では、その熱処理温度に耐えることができず、下記のような問題を生ずる。

- ① リーク電流が著しく増加する。
- ② 強誘電体の場合には、ヒステリシス(非可逆)特性が失われる。

【0027】このゲート絶縁膜に関する問題を回避するには、従来のセルフ・アライメント方法を放棄し、ゲート絶縁膜をソース領域及びドレイン領域の不純物活性化熱処理後に形成すれば良いのであるが、これでは、ゲート電極に対してソース領域及びドレイン領域を位置ずれなしに形成することは困難となり、微細なトランジスタを均一に作り込んで高集積化することは不可能になってしまう。

30 【0028】  
【発明が解決しようとする課題】本発明では、高誘電体或いは強誘電体を材料とするゲート絶縁膜をもつトランジスタを製造するに際し、工程は若干増加するが、ゲート絶縁膜に何らのダメージも与えることなく、セルフ・アライメント方法を適用することができるようとする。

【0029】  
【課題を解決するための手段】本発明は、ゲート絶縁膜ダミーを形成した状態でセルフ・アライメント方法を適用することに依ってソース領域及びドレイン領域を形成し、注入されたイオンの活性化熱処理を終わってから、ゲート絶縁膜ダミーを除去し、高誘電体或いは強誘電体を材料とするゲート絶縁膜に置換することが基本になっている。

【0030】本発明で用いるゲート絶縁膜ダミーは、高温でイオンの活性化熱処理を行なった後、そのゲート絶縁膜ダミーのみを選択的に除去する必要がある為、高温に耐える材料であるのは勿論のこと、その後、選択的に容易に除去できる性質のものであることが必要である。

【0031】また、ゲート絶縁膜ダミーは、ゲート電極の下方全面に形成するのではなく、セルフ・アライメン

ト方法を適用してソース領域及びドレイン領域を形成するのに差し支えがない範囲で一部のみに形成しなければならない。

【0032】そのような構成を探る理由は、ゲート絶縁膜ダミーをゲート電極の下方全面に形成した状態で選択的に除去すると、その上のゲート電極がリフト・オフされてしまうからである。

【0033】ゲート絶縁膜ダミーは、その目的の為に特別に形成する必要はなく、例えばLOCOS法でフィールド絶縁膜を形成する際に能動素子領域を覆った耐酸化性被膜である窒化膜を利用したり、或いは、STI法でフィールド絶縁膜を形成する際に表面をCMP (chemical mechanical mechanical polishing) から保護する為に用いた窒化膜を利用するなどの手段を探れば工程増加が少なくて好都合である。

【0034】図1及び図2は本発明の原理を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。

【0035】図1(A)参照

1-(1)

Si半導体基板1に於ける能動素子領域に選択除去可能なゲート絶縁膜ダミー2を形成する。

【0036】ゲート絶縁膜ダミー2は、後に形成されるソース領域及びドレイン領域の幅と略等しい幅をもって形成される。尚、ここで「幅」とは、チャネル長と直交する方向の幅を意味する。

【0037】図1(B)参照

1-(2)

ゲート絶縁膜ダミー2上にゲート電極5を形成してからイオン注入を行なってLDD構造の低不純物濃度ソース領域及び低不純物濃度ドレイン領域となるべき低不純物濃度領域6を形成する。

【0038】ゲート電極5は、その幅がゲート絶縁膜ダミー2の幅を越えて延在するように形成されるので、その両端、即ち、紙面に垂直な方向の両端は能動素子領域を越えて例えばフィールド絶縁膜上に在る。

【0039】この場合、ゲート絶縁膜ダミー2を用いていても、ソース領域及びドレイン領域となるべき低不純物濃度領域6は、ゲート電極5に対してセルフ・アライメントで形成されている点で従来の製造プロセスと全く変わりない。

【0040】図1(C)参照

1-(3)

ゲート電極3の側面にサイド・ウォール7を形成してからイオン注入を行なってLDD構造の高不純物濃度ソース領域及び高不純物濃度ドレイン領域となるべき高不純物濃度領域8を形成する。

【0041】図2(A)参照

2-(1)

注入されたイオンを活性化する為の熱処理を行なって、

10 低不純物濃度ソース領域6S及び高不純物濃度ソース領域8S、低不純物濃度ドレイン領域6D及び高不純物濃度ドレイン領域8Dを形成する。尚、この際、ゲート絶縁膜ダミー2も高温に曝される。

【0042】2-(2)

ゲート絶縁膜ダミー2を選択的に除去し、ゲート電極5の下に空洞2Aを生成させる。

【0043】図2(B)参照

2-(3)

10 高誘電体或いは強誘電体からなるゲート絶縁膜9を形成し、必要に応じてバターニングする。

【0044】ゲート絶縁膜9は、現在の成膜技術を適切に選択すれば、空洞2Aを埋めるように形成することについて何らの困難もない。因みに、半導体装置の集積度が低い場合、即ち、ゲート長が長い場合には、ゲート電極5の下に高誘電体或いは強誘電体が入り込めない場合も起るであろうが、集積度が向上すると共にゲート長は短くなるのであるから、ゲート電極5の下に高誘電体或いは強誘電体が充分に入り込むことは容易であり、実際に、0.8 [μm] 以下のゲート長に対しては何ら問題はない。

【0045】前記のようにしてゲート絶縁膜9を形成した後、現用の半導体装置の製造プロセスでは高温の熱処理が実施されることはないから、高誘電体或いは強誘電体が劣化することはない。

【0046】ところで、選択除去可能なゲート絶縁膜ダミーを除去する工程を実施する段階については幾つかの選択肢があり、その如何に依って実施の形態は異なってくるので、その段階について例示すると次の四つの時点を挙げることができる。

【0047】① ゲート電極材料膜を加工してゲート電極を形成した後に除去する。

② ゲート電極の側面にサイド・ウォールを形成した後に除去する。

③ サイド・ウォールの除去時にゲート絶縁膜ダミーも除去する(実施の形態6を参照)。

④ 素子形成基板の裏面側から該素子形成基板やフィールド絶縁膜に形成した開口を介して除去する(実施の形態7及び8を参照)。

40 【0048】また、ソース領域及びドレイン領域を形成する為にイオン注入された不純物を活性化する為の熱処理については、イオン注入してから高誘電体膜或いは強誘電体膜を形成する前までの間ならば何れの段階であっても良く、大別すると(1)ゲート絶縁膜ダミーの除去前に不純物活性化熱処理を行なう、(2)ゲート絶縁膜ダミーの除去後に不純物活性化熱処理を行なう、の二つであり、それに基づいて、次の五つの選択肢がある。

【0049】① 「不純物イオン注入」→「不純物活性化熱処理」→「ゲート絶縁膜ダミー除去」→「高誘電体或いは強誘電体のゲート絶縁膜形成」。

② 「不純物イオン注入」→「ゲート絶縁膜ダミー除去」→「不純物活性化熱処理」→「高誘電体或いは強誘電体のゲート絶縁膜形成」。

③ 「ゲート絶縁膜ダミー除去」→「不純物イオン注入」→「不純物活性化熱処理」→「不純物活性化熱処理」→「高誘電体或いは強誘電体のゲート絶縁膜形成」。

④ 「ゲート絶縁膜ダミーの一部を除去」→「不純物イオン注入」→「不純物活性化熱処理」→「ゲート絶縁膜ダミーの全てを除去」→「高誘電体或いは強誘電体のゲート絶縁膜形成」。

⑤ 「ゲート絶縁膜ダミーの一部を除去」→「不純物イオン注入」→「ゲート絶縁膜ダミーの全てを除去」→「不純物活性化熱処理」→「高誘電体或いは強誘電体のゲート絶縁膜形成」。

【0050】前記したところから、本発明に依る半導体装置の製造方法に於いては、(1)両端がフィールド絶縁膜(例えはフィールド絶縁膜24)上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー(例えは窒化Si膜23)上に在るゲート電極(例えはゲート電極25)を形成する工程と、次いで、ゲート電極並びにフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、次いで、注入された不純物の活性化熱処理を行なってソース領域(例えは低不純物濃度ソース領域26S及び高不純物濃度ソース領域28S)並びにドレン領域(例えは低不純物濃度ドレン領域26D及び高不純物濃度ドレン領域28D)を形成してからゲート絶縁膜ダミーを除去してゲート電極直下などに空洞(例えは空洞23A)を生成させる工程と、次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、その後、ソース電極(例えはソース電極31S)及びドレン電極(例えはドレン電極31D)などを形成する工程とが含まれてなることを特徴とするか、又は、

【0051】(2)両端がフィールド絶縁膜(例えはフィールド絶縁膜24)上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー(例えは窒化Si膜23)上に在るゲート電極(例えはゲート電極25)を形成する工程と、次いで、ゲート電極並びにフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、次いで、ゲート絶縁膜ダミーを除去してゲート電極直下などに空洞(例えは空洞23A)を生成させてから不純物の活性化熱処理を行なってソース領域(例えは低不純物濃度ソース領域26S及び高不純物濃度ソース領域28S)並びにドレン領域(例えは低不純物濃度ドレン領域26D及び高不純物濃度ドレン領域28D)を形成する工程と、次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜(例えはゲート絶縁膜29)を形成する工程と、その後、ソース電極

(例えはソース電極31S)及びドレン電極(例えはドレン電極31D)などを形成する工程とが含まれてなることを特徴とするか、又は、

【0052】(3)両端がフィールド絶縁膜(例えはフィールド絶縁膜24)上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー(例えは窒化Si膜23)上に在るゲート電極(例えはゲート電極25)を形成する工程と、次いで、ゲート絶縁膜ダミーのゲート電極と接する部分以外を除去してからゲート電極並びにフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、次いで、注入された不純物の活性化熱処理を行なってソース領域(例えは低不純物濃度ソース領域26S及び高不純物濃度ソース領域28S)並びにドレン領域(例えは低不純物濃度ドレン領域26D及び高不純物濃度ドレン領域28D)を形成してからゲート絶縁膜ダミー(例えは窒化Si膜23)を除去してゲート電極直下に空洞(例えは空洞23A)を生成させる工程と、次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、その後、ソース電極(例えはソース電極31S)及びドレン電極(例えはドレン電極31D)などを形成する工程とが含まれてなることを特徴とするか、又は、

【0053】(4)両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、次いで、ゲート絶縁膜ダミーのゲート電極と接する部分以外を除去してからゲート電極並びにフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、次いで、ゲート絶縁膜ダミーを除去してゲート電極直下に空洞を生成させてから不純物の活性化熱処理を行なってソース領域並びにドレン領域を形成する工程と、次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、その後、ソース電極及びドレン電極などを形成する工程とが含まれてなることを特徴とするか、又は、

【0054】(5)両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成する工程と、次いで、ゲート絶縁膜ダミーを全部除去してゲート電極直下などに空洞を生成させてからゲート電極及びフィールド絶縁膜をマスクとして不純物イオン注入を行なう工程と、次いで、注入された不純物の活性化熱処理を行なってソース領域並びにドレン領域を形成する工程と、次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程と、その後、ソース電極及びドレン電極などを形成する工程とが含まれてなることを特徴とするか、又は、

【0055】(6)前記(1)乃至(5)の何れか1に於いて、ゲート電極(例えはゲート電極25)の側面に

サイド・ウォール（例えばサイド・ウォール27）を形成する工程が含まれてなることを特徴とするか、又は、

【0056】(7) 前記(6)に於いて、サイド・ウォール形成の前に少なくとも1回及び後に少なくとも1回のソース領域用とドレイン領域用のイオン注入を行なう工程が含まれてなることを特徴とするか、又は、

【0057】(8) 両端がフィールド絶縁膜（例えばフィールド絶縁膜44）上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー（例えば窒化Si膜43）上に在るゲート電極（例えばゲート電極46）を形成する工程と、次いで、ゲート電極の側面にゲート絶縁膜ダミーと同材料で連続するサイド・ウォール（例えばサイド・ウォール47）を形成する工程と、次いで、サイド・ウォールの頂面を露出させて絶縁膜（例えば絶縁膜49）を形成する工程と、次いで、サイド・ウォール及びゲート絶縁膜ダミーを除去して空洞（例えば空洞43A及び47A）を生成させる工程と、次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜（例えば高誘電体膜50）を形成する工程とが含まれてなることを特徴とするか、又は、

【0058】(9) 前記(8)に於いて、空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する以前にイオン注入された不純物の活性化熱処理が行なわれることを特徴とするか、又は、

【0059】(10) 両端がフィールド絶縁膜（例えばフィールド絶縁膜64）上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー（例えば窒化Si膜63）上に在るゲート電極（例えばゲート電極65）を形成する工程と、次いで、不純物イオン注入を行なってから不純物の活性化熱処理してソース領域（例えば低不純物濃度ソース領域66S及び高不純物濃度ソース領域68S）並びにドレイン領域（例えば低不純物濃度ドレイン領域66D及び高不純物濃度ドレイン領域68D）を形成する工程と、次いで、表面側にゲート電極が充分に埋まる程度に厚い絶縁膜（例えば絶縁膜69）を形成して平坦化する工程と、次いで、平坦化された絶縁膜の表面と支持基板（例えば支持側Si半導体基板70）とを貼り合わせてからソース領域並びにドレイン領域が存在する側を研磨してフィールド絶縁膜が露出するまで薄膜化する工程と、次いで、薄膜化された側からゲート絶縁膜ダミーに達する開口（例えば開口71A、開口64A、開口61Aなど）を形成する工程と、次いで、開口を介してゲート絶縁膜ダミーを除去してゲート電極直下などに空洞（例えば空洞63A）を生成させる工程と、次いで、少なくとも空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜（例えば高誘電体膜72）を形成する工程と、その後、ソース電極（例えばソース電極73S）及びドレイン電極（例えばドレイン電極73D）などを形成する工程とが含まれてなることを特徴とする。

【0060】前記手段を探ることに依って、ゲート電極に対してソース領域及びドレイン領域の位置合わせを自動的に行なうセルフ・アライメント方法の利点を維持しながら、ゲート絶縁膜に熱処理の高温が加わらないようになることができるるので、材料に高誘電体或いは強誘電体を用いた場合、それ等が劣化するおそれは皆無である。

【0061】従って、トランジスタ・サイズの縮小則に沿うように縮小を行なった場合であっても、ゲート絶縁膜のみは、高い誘電率を維持しながら、所要の耐圧が得られる程度に厚く形成することができ、従って、トランジスタの微細化、半導体装置の高集積化に寄与することができる。

【0062】また、強誘電体のゲート絶縁膜をもつトランジスタは、ヒステリシス特性をもつて、1トランジスタ型のメモリ素子を含むFeRAM (ferrroelectric random access memory) をセルフ・アライメント方法を適用して製造することができる。

【0063】

【発明の実施の形態】図3乃至図6は本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切断側面図及び要部切断説明図（図4）である。以下、これ等の図を参照しつつ説明する。

【0064】図3(A) 参照

3-(1)

熱酸化法を適用することに依り、Si半導体基板21上に厚さが約10[nm]程度の酸化Si膜22を形成する。

【0065】酸化Si膜22は、いわゆるバッド酸化膜と呼ばれ、Si半導体基板21の表面に窒化Si膜が直接接触して悪影響を及ぼすことを防ぐ役割を果たしている。

【0066】3-(2)

CVD法を適用することに依り、バッド酸化膜22上に耐酸化性被膜として作用する厚さが約100[nm]程度の窒化Si膜23を形成する。尚、窒化Si膜23の厚さは30[nm]～100[nm]の範囲で選択することができる。

【0067】図3(B) 参照

3-(3)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスをCF<sub>4</sub>、+CHF<sub>3</sub>、+Arとするドライ・エッチング法を適用することに依り、窒化Si膜23のバターニングを行なって、能動素子領域を覆う部分を残して他を除去する。

【0068】図3(C) 参照

3-(4)

熱酸化法を適用することに依り、窒化Si膜23で覆われた能動素子領域以外のSi半導体基板21上に厚さ約

100 [nm] ~ 600 [nm] 程度のフィールド絶縁膜24を形成する。

【0069】この後、通常であれば、窒化Si膜23は除去するのであるが、本実施の形態では、これを「選択除去可能なゲート絶縁膜ダミー」として残留させる。

【0070】図4(A)及び図4(B)参照

4-(1)

CVD法を適用することに依り、厚さが150 [nm] である不純物含有多結晶Si膜を形成する。

【0071】この不純物含有多結晶Si膜は、他のゲート電極材料、例えば下層が不純物含有多結晶Si膜、上層がタンクステン・シリサイド膜である複合膜などを用いても良い。

【0072】4-(2)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッ칭・ガスをHBr+O<sub>2</sub>とするドライ・エッ칭法を適用することに依り、不純物含有多結晶Si膜をバーニングしてゲート電極25を形成する。

【0073】図4(C)参照

4-(3)

イオン注入法を適用することに依り、窒化Si膜の厚さが50 [nm] の場合でイオン加速エネルギーを70 [keV]、ドーズ量を $1 \times 10^{15}$  [cm<sup>-2</sup>] とし、ゲート電極25及び300 [nm] 厚さのフィールド絶縁膜24をマスクにPイオンの打ち込みを行なってLDD構造の低不純物濃度ソース領域及び低不純物濃度ドレイン領域となる低不純物濃度領域26を形成する。

【0074】図5(A)参照

5-(1)

CVD法を適用することに依り、厚さ約30 [nm] ~ 300 [nm] 程度のSiO<sub>2</sub>膜を全面に形成する。

尚、この膜厚はゲート幅に依存し、通常、ゲート幅の1/4程度に選択される。

【0075】5-(2)

エッ칭・ガスをCF<sub>4</sub>+Ar+CHF<sub>3</sub>とするドライ・エッ칭法を適用することに依り、SiO<sub>2</sub>膜を異方性エッ칭してサイド・ウォール27を形成する。

【0076】図5(B)参照

5-(3)

窒化Si膜23はゲート絶縁膜ダミーとしての役割を終わったので、全体を熱リン酸中に浸漬することに依り、ゲート電極25の直下に在る部分を含めて全て除去して空洞23Aを生成させる。

【0077】窒化Si膜23の下地になっているパッド酸化膜22は残留させることが望ましいが、全て除去してから改めて酸化或いは窒化するなどして、再度薄い酸化膜或いは窒化膜を形成すると良い。

【0078】これは、後に形成する高誘電体膜や強誘電体膜がSi半導体基板21の表面に直接接触して界面準

位を増加させたり、高誘電体膜或いは強誘電体膜のリーク電流が増加するのを防ぐ為である。

【0079】前記の結果、ゲート電極25の直下には空洞が生成され、また、ゲート電極25の両端はフィールド絶縁膜24上に在るから、ゲート電極25は、空洞上に掛かったブリッジをなしている。

【0080】図5(C)参照

5-(4)

イオン注入法を適用することに依り、イオン加速エネルギーを20 [keV]、ドーズ量を $5 \times 10^{15}$  [cm<sup>-2</sup>] とし、サイド・ウォール27、ゲート電極25、フィールド絶縁膜24をマスクにPイオンの打ち込みを行なってLDD構造の高不純物濃度ソース領域及び高不純物濃度ドレイン領域となる高不純物濃度領域28を形成する。

【0081】図6(A)参照

6-(1)

温度1000 [°C]、時間10 [秒] の熱処理を行なって、前記イオン注入された不純物Pの活性化を行なって、低不純物濃度ソース領域26S及び高不純物濃度ソース領域28S、低不純物濃度ドレイン領域26D及び高不純物濃度ドレイン領域28Dを形成する。

【0082】図6(B)参照

6-(2)

CVD法を適用することに依り、高誘電体材料であるTa<sub>2</sub>O<sub>5</sub>からなるゲート絶縁膜29を形成する。尚、高誘電体膜を成膜する他の技術としてスピinn・コート法を適用することもでき、また、高誘電体材料もTa<sub>2</sub>O<sub>5</sub>の他に例えばBST((Ba, Sr)TiO<sub>3</sub>)を用いても良い。

【0083】ゲート絶縁膜29は全面に形成され、勿論、ゲート電極25直下の空洞にも埋め込まれ、その厚さは、ゲート絶縁膜ダミーであった窒化Si膜23の厚さである約5 [nm] 程度を形成して埋め込みが終了した後は、それ以上に厚く成膜する必要はない。

【0084】6-(3)

リーク電流を少なくする為、酸素雰囲気中に於いて、温度を700 [°C]、時間3 [分] の熱処理を行ない、高誘電体であるゲート絶縁膜29をある程度結晶化する。

【0085】この熱処理は、ソース領域26S及び28S、ドレイン領域26D及び28Dを形成する為にイオン注入された不純物を活性化する為の熱処理の際の温度と比較すると充分に低温であり、高誘電体が破壊されてリーク電流が増加するなどのおそれは皆無であり、むしろ、ゲート絶縁膜29の結晶化を助長し、リーク電流の低減に有効である。

【0086】図6(C)参照

6-(4)

CVD法を適用することに依り、厚さが200 [nm] であるSiO<sub>2</sub>からなる層間絶縁膜30を形成する。

【0087】6-(5)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスを $CF_4 + Ar + CHF_3$ とするドライ・エッチング法を適用することに依り、層間絶縁膜30をエッチングして開口を形成する。

【0088】6-(6)

スパッタリング法を適用することに依ってA1膜を形成してから、リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスを $Cl + BCl_3$ とするドライ・エッチング法を適用することに依ってA1膜のバターニングを行ない、ソース電極31S、ドレイン電極31D、その他の配線などを形成する。

【0089】前記説明した実施の形態1に於いては、素子間分離を行なうフィールド絶縁膜24を形成するのにLOCOS法を適用したが、これはSTI法に代替しても良いことは云うまでもなく、次に、STI法を適用した製造工程を実施の形態2として説明する。

【0090】図7は本発明に於ける実施の形態2を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、図3乃至図6に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとし、以下、図7を参照しつつ説明するが、Si半導体基板21上に耐酸化性被膜として作用する窒化Si膜23を形成してバターニングする迄の工程は実施の形態1と同じであるから省略し、その次の工程から説明する。

【0091】図7(A)参照

7-(1)

窒化Si膜23をバターニングしてから、引き続き、エッチング・ガスを $CF_4 + Ar + CH_4$ (SiO<sub>2</sub>用)及び $HBr + O_2$ (Si用)とするドライ・エッチング法を適用することに依り、バッド酸化膜22及びSi半導体基板21をエッチングし、フィールド絶縁膜形成予定部分に凹所を形成する。

【0092】この場合、Si半導体基板21のエッティング深さは、例えば500[nm]とする。

【0093】図7(B)参照

7-(2)

熱酸化法を適用することに依り、Si半導体基板21の露出されている表面を酸化して厚さが約10[nm]程度の酸化Si膜22Aを形成する。

【0094】7-(3)

高密度プラズマCVD法を適用することに依り、厚さが1000[nm]のSiO<sub>2</sub>膜を形成する。

【0095】図7(C)参照

7-(4)

CMP法を適用し、また、窒化Si膜23を研磨ストップとして、工程7-(3)で形成したSiO<sub>2</sub>膜の研磨を行ない、Si半導体基板21の凹所内のみにSiO<sub>2</sub>膜を残してフィールド絶縁膜24Aとする。

【0096】尚、この場合も窒化Si膜23は除去せず、「選択除去可能なゲート絶縁膜ダミー」として残留

させる。

【0097】この後、実施の形態1と同様の工程を経て半導体装置を完成させる。

【0098】実施の形態1及び実施の形態2に於いて、高誘電体のゲート絶縁膜に代えて強誘電体、例えばチタン酸ジルコン酸鉛( $PbTiO_3 - PbZrO_3$ : PZT)やY1(商品名:米国シンメトリックス社)などを用いることができるので、これを実施の形態3として説明する。

【0099】強誘電体は、高誘電体と同様、CVD法やスピニ・コート法を適用して成膜することができ、強誘電体膜の表裏間に所定電圧以上の電圧を印加した場合、内部に生じた分極状態は電圧印加を停止した後でも維持され続ける、いわゆるヒステリシス特性をもっている。

【0100】そこで、トランジスタのゲート絶縁膜を強誘電体で構成した場合、しきい値以上のゲート電圧を印加することでオンとなる点では通常のトランジスタと変わりないが、その後、ゲート電圧をしきい値以下に低下させてもオフにはならない。

【0101】従って、前記トランジスタは記憶保持能力をもち、メモリとして用いることが可能である。尚、オフにする為には、ゲート電極に所定値以上の逆バイアス電圧を印加する必要がある。

【0102】前記実施の形態1乃至3では、ソース領域及びドレイン領域の構造としてLDD構造を探り入れているが、低不純物濃度ソース領域及び低不純物濃度ドレイン領域、又は、高不純物濃度ソース領域及び高不純物濃度ドレイン領域のどちらかを省略しても良く、唯、低不純物濃度ソース領域及び低不純物濃度ドレイン領域を省略した場合には、高不純物濃度ソース領域及び高不純物濃度ドレイン領域の不純物を拡散してサイド・ウォールとゲート電極との界面直下に達するように広げることが必要である。尚、この改変を実施の形態4とする。

【0103】図8は本発明に於ける実施の形態5を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、図3乃至図6に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとし、以下、図8を参照しつつ説明するが、Si半導体基板21にゲート電極25を形成する迄の工程は実施の形態1と同じであるから省略し、その次の工程から説明する。

【0104】図8(A)参照

8-(1)

全体を熱リン酸中に浸漬することに依り、ゲート電極25の直下に在る部分を含めて窒化Si膜23(図3乃至図5参照)を全て除去する。

【0105】前記工程を経ると、ゲート電極25の直下に空洞23Aが生成され、また、ゲート電極25の両端はフィールド絶縁膜24上に在るから、ゲート電極25は空洞23A上に掛かったブリッジをなしている。

【0106】図8(B)参照

## 8-(2)

イオン注入法を適用することに依り、イオン加速エネルギーを20 [keV]、ドーズ量を $3 \times 10^{13}$  [cm<sup>-2</sup>] とし、ゲート電極25及びフィールド絶縁膜24をマスクにPイオンの打ち込みを行なって低不純物濃度ソース領域及び低不純物濃度ドレイン領域となる低不純物濃度領域26を形成する。

【0107】図8 (C) 参照

## 8-(3)

温度1000 [°C]、時間10 [秒]の熱処理を行なって、イオン注入されたPの活性化を行なって、低不純物濃度ソース領域26S及び低不純物濃度ドレイン領域26Dを形成する。

【0108】8-(4)

CVD法を適用することに依り、高誘電体材料或いは強誘電体材料からなるゲート絶縁膜29を形成する。尚、ゲート絶縁膜29Aを成膜する他の技術としてスピンドロート法を適用することもできる。

【0109】8-(5)

リーク電流を少なくする為、酸素雰囲気中に於いて、温度を700 [°C]、時間3 [分]の熱処理を行ない、高誘電体或いは強誘電体であるゲート絶縁膜29を結晶化する。

【0110】8-(6)

この後、実施の形態1と同様、層間絶縁膜の形成、開口の形成、電極及び配線の形成などを行なって完成する。

【0111】尚、実施の形態5に依って得られる半導体装置に於いては、高不純物濃度ソース領域及び高不純物濃度ドレイン領域を設けないので、電極コンタクト抵抗が高くなることを懸念する向きもあるが、高速動作性を余り必要としないメモリなどに於いては製造が容易であって且つ性能上の問題が無い点で有用である。

【0112】図9乃至図11は本発明に於ける実施の形態6を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、図を参照しつつ説明するが、Si半導体基板41にフィールド絶縁膜44を形成する迄の工程は実施の形態1と同じであるから簡単に説明してある。

【0113】図9 (A) 参照

## 9-(1)

Si半導体基板41にパッド酸化膜である酸化Si膜42、耐酸化性被膜兼選択除去可能なゲート絶縁膜ダミーである窒化Si膜43、SiO<sub>2</sub>からなるフィールド絶縁膜44を形成する。

【0114】9-(2)

CVD法を適用することに依り、厚さが150 [nm] である不純物含有多結晶Si膜を形成する。

【0115】9-(3)

CVD法を適用することに依り、厚さが50 [nm] ~ 100 [nm] であるSiO<sub>2</sub>からなる絶縁膜を形成す

る。尚、この絶縁膜は省略しても良い。

【0116】9-(4)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッティング・ガスをCF<sub>4</sub> + Ar + CH<sub>4</sub> (SiO<sub>2</sub>用) 及びHBr + O<sub>2</sub> (Si用) とするドライ・エッティング法を適用することに依り、SiO<sub>2</sub>からなる絶縁膜及び不純物含有多結晶Si膜を異方性エッティングして絶縁膜キャップ45及びゲート電極46を形成する。

【0117】図9 (B) 参照

## 10 9-(5)

エッティング・ガスをCF<sub>4</sub> + Ar + CH<sub>4</sub> とするドライ・エッティング法を適用することに依り、表出されている窒化Si膜43を異方性エッティングして絶縁膜キャップ45或いはゲート電極46と同パターンにする。尚、このエッティングでは、絶縁膜キャップ45やフィールド絶縁膜44などSiO<sub>2</sub>が損傷をうけないようなエッティング条件を選択することが好ましい。

【0118】若し、LDD構造にするのであれば、この段階で低不純物濃度不純物ソース領域及び低不純物濃度不純物ドレイン領域を形成しなければならない。

【0119】図9 (C) 参照

## 9-(6)

CVD法を適用することに依り、厚さが100 [nm] である窒化Si膜を全面に形成する。

【0120】9-(7)

エッティング・ガスをCF<sub>4</sub> + Ar + CH<sub>4</sub> とするドライ・エッティング法を適用することに依り、工程9-(6)で形成した窒化Si膜の異方性エッティングを行なって絶縁膜キャップ45、ゲート電極46、窒化Si膜43の側面にサイド・ウォール47を形成する。

【0121】尚、窒化Si膜43は工程9-(5)で異方性エッティングして絶縁膜キャップ45などと同パターンにしたが、サイド・ウォール47を形成した後に異方性エッティングしても良く、そのようにした場合、サイド・ウォール47の底は窒化Si膜43上に在る構造となる。何れにせよ、要は、窒化Si膜43と窒化Si膜43からなるサイド・ウォール47が接続された状態にあれば良い。また、サイド・ウォール47と窒化Si膜43であるゲート絶縁膜ダミーとは、必ずしも同材料である必要はなく、エッティング除去する際の工程が増加することを厭わなければ別々の材料を用いることもできる。

【0122】9-(8)

イオン注入法を適用することに依り、イオン加速エネルギーを20 [keV]、ドーズ量を $5 \times 10^{15}$  [cm<sup>-2</sup>] とし、サイド・ウォール47、ゲート電極46、絶縁膜キャップ45、フィールド絶縁膜44をマスクにPイオンの打ち込みを行なって高不純物濃度ソース領域及び高不純物濃度ドレイン領域となる高不純物濃度領域48を形成する。

50 【0123】尚、この後、サイド・ウォール47と窒化

Si膜43とを選択的に除去して図8(A)に見られるような構造にしても良く、その場合、高不純物濃度のソース領域及びドレイン領域を形成する為のイオン注入は既に施されている為、図8(B)に見られるように、LDD構造の低不純物濃度のソース領域及びドレイン領域を形成すれば、通常のLDD構造にすることができる。

【0124】図10(A)参照

10-(1)

温度を1000[°C]、時間を10[秒]としてイオン注入されたPの活性化熱処理を行なってソース領域48S並びにドレイン領域48Dを形成する。尚、この熱処理は、ソース領域48S並びにドレイン領域48Dのチャネル対向側がサイド・ウォール47とゲート電極46との界面の直下に達する程度に拡散されるようにすることが好ましい。

【0125】10-(2)

CVD法を適用することに依り、厚さが200[nm]のSiO<sub>2</sub>からなる絶縁膜49を形成する。

【0126】10-(3)

CMP法を適用することに依り、絶縁膜49の研磨を行なってサイド・ウォール47の頂面、従って、絶縁膜キャップ45の頂面が露出した時点で停止する。尚、絶縁膜49の厚さを低減するにはエッチング法を適用しても良い。

【0127】図10(B)参照

10-(4)

熱リン酸中に浸漬して、窒化Siからなるサイド・ウォール47を除去すると共にゲート電極46の下に在るゲート絶縁膜ダミーであった窒化Si膜43を除去して空洞43A及び47Aを生成させる。

【0128】図10(C)参照

10-(5)

CVD法を適用することに依り、サイド・ウォール47を除去して生成された空洞47A、及び、窒化Si膜43を除去して生成された空洞43Aを埋めるBST或いはTa<sub>2</sub>O<sub>5</sub>からなる高誘電体膜50を形成する。尚、高誘電体膜50は強誘電体膜に代替しても良い。

【0129】この高誘電体膜50のうち、ゲート電極46の直下に在る部分は、ゲート絶縁膜として作用することは云うまでもない。

【0130】図11参照

11-(1)

リーク電流を少なくする為、酸素雰囲気中に於いて、温度を700[°C]、時間3[分]の熱処理を行ない、一部がゲート絶縁膜をなす高誘電体膜50を結晶化する。

【0131】11-(2)

この後、絶縁膜49及び高誘電体膜50に対する電極コンタクト用開口の形成、電極及び配線51の形成などを行なって完成する。

【0132】前記説明した各実施の形態に於いては、S

i半導体基板を用いた半導体装置について説明したが、本発明を実施してSOI構造の半導体装置を作成することができる。

【0133】SOI構造といつても、種々な構成のものがあり、例えば素子側基板にデバイスをある程度まで形成した後、途中から、その全体を支持側基板を貼付してSOI構造にする手段が知られ(要すれば「特許第9603827号」を参照)、この手段は本発明に於いても有効に利用することができる。

10 【0134】図12乃至図14は本発明に於ける実施の形態7を説明する為の工程要所に於ける半導体装置を表す要部切断説明図であり、何れの図に於いても、(A)は要部切断側面、(B)は要部切断平面である。

【0135】以下、図を参照しながら説明するが、素子形成側Si半導体基板61に高不純物濃度ソース領域68S及び高不純物濃度ドレイン領域68Dを形成する迄の工程は実施の形態1と同じであるから簡単に説明してある。

【0136】図12参照

20 12-(1)

素子形成側Si半導体基板61にパッド酸化膜である酸化Si膜62、耐酸化性被膜兼選択除去可能なゲート絶縁膜ダミーである窒化Si膜63、フィールド絶縁膜64、不純物含有多結晶Siゲート電極65、LDD構造の低不純物濃度ソース領域及び低不純物濃度ドレイン領域となる低不純物濃度領域、SiO<sub>2</sub>からなるサイド・ウォール67、LDD構造の高不純物濃度ソース領域及び高不純物濃度ドレイン領域となる高不純物濃度領域を形成する。

30 12-(2)

温度を1000[°C]、時間を10[秒]として、イオン注入された不純物の活性化熱処理を行ない、低不純物濃度ソース領域66S及び低不純物濃度ドレイン領域66D、高不純物濃度領域68S及び高不純物濃度領域68Dを生成させる。

【0138】12-(3)

CVD法を適用することに依り、全表面に厚さが1[μm]であるSiO<sub>2</sub>からなる絶縁膜69を形成する。

【0139】12-(4)

40 CMP法を適用することに依り、絶縁膜69の研磨を行なって表面を平坦にする共に絶縁膜69の厚さを0.5[μm]とする。

【0140】12-(5)

加熱圧着法等の手段を適用することに依り、絶縁膜69の表面に支持側Si半導体基板70を貼付する。

【0141】12-(6)

CMP法を適用することに依り、素子形成側Si半導体基板61の裏面を研磨し、フィールド絶縁膜64が表出するまで薄膜化を継続することで、フィールド絶縁膜64に囲まれたSiの島が生成される。

## 【0142】図13参照

## 13-(1)

CVD法を適用することに依り、素子形成側Si半導体基板61の表出面に厚さが200[nm]のSiO<sub>2</sub>からなる層間絶縁膜71を形成する。

## 【0143】13-(2)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッティング・ガスをCF<sub>4</sub>+Ar+CH<sub>4</sub>とするドライ・エッティング法を適用することに依り、層間絶縁膜71に開口71Aを形成する。

## 【0144】13-(3)

エッティング・ガスをHBr+O<sub>2</sub>とするドライ・エッティング法を適用することに依り、開口71Aを介して素子形成側Si半導体基板61のエッティングを行なって開口61Aを形成する。

## 【0145】13-(4)

希釈フッ酸からなるエッティング液中に浸漬してバッド酸化膜である酸化Si膜62を除去する。

## 【0146】13-(5)

熱リン酸中に浸漬し、窒化Siからなるゲート絶縁膜ダミーである窒化Si膜63を全て除去し、空洞63Aを生成する。

## 【0147】図14参照

## 14-(1)

CVD法を適用することに依り、開口61A、空洞63Aまで充分に回り込むようにTa<sub>2</sub>O<sub>5</sub>、或いはBSTからなる高誘電体膜72を形成する。尚、高誘電体膜72は強誘電体膜に代替しても良い。

【0148】必要に応じ、高誘電体膜72を結晶化させる為のアニールを行なう。尚、この結晶化アニール工程は、温度を700[°C]、時間を3[分]程度として実施する。

【0149】高誘電体膜72のうち、ゲート電極65の直下に在る部分は、ゲート絶縁膜として作用することは云うまでもない。

## 【0150】14-(2)

リソグラフィ技術に於けるレジスト・プロセス、及び、ドライ・エッティング法を適用することに依り、高誘電体膜72及び層間絶縁膜71のエッティングを行なってソース電極コンタクト用開口及びドレイン電極コンタクト用開口を形成する。

【0151】尚、高誘電体のドライ・エッティングに用いるエッティング・ガスは高誘電体の種類に依って選択し、また、SiO<sub>2</sub>用のエッティング・ガスとしてはCF<sub>4</sub>+Ar+CH<sub>4</sub>を選択して良い。

## 【0152】14-(3)

真空蒸着法或いはスパッタリング法、リソグラフィ技術に於けるレジスト・プロセス、ドライ・エッティング法を適用することに依り、Al膜及びTiN或いはWNからなるバリヤ膜の積層体からなるソース電極73S及びド

レイン電極73Dを形成する。

【0153】実施の形態7に依って作成された半導体装置が、本発明の利点の他にSOI構造の利点を併せもつこと、即0000間の寄生容量低減、従って、高速動作化及び低消費電力化に効果あることは云うまでもない。

【0154】前記説明した何れの実施の形態に於いても、選択除去可能なゲート絶縁膜ダミーとして、LOCOS法を適用してフィールド絶縁膜を形成する際の耐酸化性被膜である窒化Si膜を流用している。

【0155】然しながら、選択除去可能なゲート絶縁膜ダミーには、窒化Si膜の他に種々な材料を使用することができ、また、半導体装置に用いる材料との関連で、窒化Si以外を用いた方が好ましい場合もある。

【0156】選択除去可能なゲート絶縁膜ダミーとして専用のものを別設する場合には、できる限り工程数の増加を抑える為、半導体装置自体の構造に若干の改変を必要とする。

【0157】図15乃至図17は本発明に於ける実施の形態8を説明する為の工程要所に於ける半導体装置を表す要部切断説明図であり、何れの図に於いても、(A)は要部切断側面、(B)は要部切断平面である。

【0158】以下、図を参照しながら説明するが、素子形成側Si半導体基板61にフィールド絶縁膜64を形成する迄の工程は実施の形態1と同じであるから簡単に説明してある。

## 【0159】図15参照

## 15-(1)

LOCOS法でフィールド絶縁膜64を形成した後、バッド酸化膜である酸化Si膜、耐酸化性被膜である窒化Si膜を除去してから改めて例えばアルミナ(A<sub>1</sub>O<sub>3</sub>)などからなる選択除去可能なゲート絶縁膜ダミー81を形成する。尚、ゲート絶縁膜ダミー81の材料としては、Al<sub>2</sub>O<sub>3</sub>の他にTiN或いはWNなども使用することもできる。

## 【0160】15-(2)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッティング・ガスをCF<sub>4</sub>+Ar+CH<sub>4</sub>とするドライ・エッティング法を適用することに依り、ゲート絶縁膜ダミー81のバーニングを行なって能動素子領域を覆う部分並びにフィールド絶縁膜64上に掛かった一部を残して他を除去する。

## 【0161】15-(3)

CVD法を適用することに依り、厚さが150[nm]である多結晶Si膜を形成する。

## 【0162】15-(4)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッティング・ガスをHBr+O<sub>2</sub>とするドライ・エッティング法を適用することに依り、多結晶Si膜をバーニングしてゲート電極65を形成する。

## 【0163】15-(5)

イオン注入法を適用することに依り、イオン加速エネルギーを70 [keV]、ドーズ量を $1 \times 10^{14}$  [cm<sup>-2</sup>]とし、ゲート電極65及びフィールド絶縁膜64をマスクにPイオンの打ち込みを行なってLDD構造の低不純物濃度ソース領域及び低不純物濃度ドレイン領域となる低不純物濃度領域を形成する。

【0164】15-(6)

CVD法を適用することに依り、厚さ約100 [nm]程度のSiO<sub>2</sub>膜を全面に形成する。

【0165】15-(7)

エッティング・ガスをCF<sub>4</sub> + Ar + CH<sub>4</sub>とするドライ・エッティング法を適用することに依り、工程15-(6)で形成したSiO<sub>2</sub>膜を異方性エッティングしてサイド・ウォール67を形成する。

【0166】15-(8)

イオン注入法を適用することに依り、イオン加速エネルギーを70 [keV]、ドーズ量を $5 \times 10^{15}$  [cm<sup>-2</sup>]とし、サイド・ウォール67、ゲート電極65、フィールド絶縁膜64をマスクにPイオンの打ち込みを行なってLDD構造の高不純物濃度ソース領域並びに高不純物濃度ドレイン領域となる高不純物濃度領域を形成する。

【0167】15-(9)

温度を1000 [°C]、時間を10 [秒]とし、さきにイオン注入された不純物Pの活性化熱処理を行なって、低不純物濃度ソース領域66S並びに低不純物濃度ドレイン領域66D、高不純物濃度ソース領域68S並びに高不純物濃度ドレイン領域68Dを形成する。

【0168】15-(10)

CVD法を適用することに依り、全表面に厚さが1 [μm] であるSiO<sub>2</sub>からなる絶縁膜69を形成する。

【0169】15-(11)

CMP法を適用することに依り、絶縁膜69の研磨を行なって表面を平坦にする共に絶縁膜69の厚さを0.5 [μm] とする。

【0170】15-(12)

加熱圧着法などを適用することに依り、絶縁膜69の表面に支持側Si半導体基板70を貼付する。

【0171】15-(13)

CMP法を適用することに依り、素子形成側Si半導体基板61の裏面を研磨し、フィールド絶縁膜64が表出するまで薄膜化を継続することで、フィールド絶縁膜64に囲まれたSiの島が生成される。

【0172】図16参照

16-(1)

CVD法を適用することに依り、素子形成側Si半導体基板61の表出面に厚さが200 [nm]のSiO<sub>2</sub>からなる層間絶縁膜71を形成する。

【0173】16-(2)

リソグラフィ技術に於けるレジスト・プロセス、及び、エッティング・ガスをCF<sub>4</sub> + Ar + CH<sub>4</sub>とするドライ

・エッティング法を適用することに依り、層間絶縁膜71に開口71Aを形成する。

【0174】16-(3)

エッティング・ガスをCF<sub>4</sub> + Ar + CH<sub>4</sub>とするドライ・エッティング法を適用することに依り、開口71Aを介してフィールド絶縁膜64のエッティングを行なって開口64Aを形成する。

【0175】16-(4)

熱硫酸液中に浸漬し、Al<sub>2</sub>O<sub>3</sub>などからなるゲート絶縁膜ダミー81を全て除去し、空洞81Aを生成する。

【0176】図17参照

17-(1)

CVD法を適用することに依り、開口64A、空洞81Aまで充分に回り込むようにTa<sub>2</sub>O<sub>5</sub>或いはBSTからなる高誘電体膜72を形成する。尚、高誘電体膜72は強誘電体膜に代替しても良い。

【0177】必要に応じ、高誘電体膜72を結晶化させる為のアニールを行なうが、その場合の条件の一例としては、温度を700 [°C]、時間を3 [分]に選択して良い。

【0178】高誘電体膜72のうち、ゲート電極65の直下に在る部分は、ゲート絶縁膜として作用するものであることは勿論である。

【0179】17-(2)

リソグラフィ技術に於けるレジスト・プロセス、及び、ドライ・エッティング法を適用することに依り、高誘電体膜72及び層間絶縁膜71のエッティングを行なってソース電極コントクト用開口及びドレイン電極コントクト用開口を形成する。尚、ドライ・エッティング法を実施する場合、高誘電体のエッティング・ガスには、高誘電体の種類に依って変える必要がある。

【0180】17-(3)

真空蒸着法、リソグラフィ技術に於けるレジスト・プロセス、ドライ・エッティング法を適用することに依り、Al膜及びTiNやWNからなるバリヤ膜の積層体からなるソース電極73S及びドレイン電極73Dを形成する。

【0181】実施の形態8に依って作成された半導体装置は、実施の形態7と同様、本発明の利点の他にSOI構造の利点を併せもっている。

【0182】前記説明した実施の形態1乃至実施の形態8に於いては、選択除去可能なゲート絶縁膜ダミーとして主として窒化Siを用いたが、この他にAl<sub>2</sub>O<sub>3</sub> (アルミナ)、TiN、WNなどの被膜を用いることができ、このような材料変更を実施の形態9とする。

【0183】本発明に於いては、前記説明した実施の形態に限られることなく、他に種々な改変を実現することが可能である。

【0184】例えば、ソース領域並びにドレイン領域を形成する為にイオン注入された不純物の活性化熱処理を

行なってから、ゲート絶縁膜ダミーの除去を行なって高誘電体或いは強誘電体からなるゲート絶縁膜を形成する工程に代えて、ゲート絶縁膜ダミーの除去をイオン注入された不純物の活性化熱処理に先立って実施しても良い。

【0185】また、ゲート電極に接するゲート絶縁膜ダミー以外のゲート絶縁膜ダミーを除去してからソース領域並びにドレイン領域を形成する為の不純物のイオン注入を行ない、次いで、ゲート絶縁膜ダミーの残り全て除去してから前記イオン注入された不純物の活性化熱処理を行なった後、高誘電体或いは強誘電体からなるゲート絶縁膜を形成するなどは任意に実施することができる。

【0186】前記何れの改変例も、イオン注入されたされた不純物の活性化熱処理を実施する前にゲート絶縁膜ダミーを除去する点が共通しているところであり、この場合には、ゲート絶縁膜ダミーが高い耐熱性を必要としないから、材料選択が容易になる。

【0187】また、本発明は、前記記述したnチャネル・トランジスタを製造する場合の適用に限られることなく、pチャネル・トランジスタの製造する場合に適用できることは云うまでもない。

【0188】また、前記各実施の形態では、ゲート絶縁膜ダミーとして、LOCOS法やSTI法で素子間分離を行なった際に用いた耐酸化性マスク膜やCMP停止膜を利用したが、これは、一旦、除去してから、改めて成膜及び加工するなどしてゲート電極直下に残すような構成を探って良い。

【0189】

【発明の効果】本発明に依る半導体装置の製造方法に於いては、両端がフィールド絶縁膜上に在ると共に他の部分が選択除去可能なゲート絶縁膜ダミー上に在るゲート電極を形成し、ゲート電極並びにフィールド絶縁膜をマスクに不純物イオン注入し、そのイオン注入した不純物は活性化熱処理してソース領域並びにドレイン領域とするが、その為の活性化熱処理は、ゲート絶縁膜ダミーを除去してゲート電極直下などに生成された空洞を埋める高誘電体或いは強誘電体からなるゲート絶縁膜を形成する以前であって且つ高誘電体或いは強誘電体からなるゲート絶縁膜に熱が加わることがない段階の何れかの時点で実施され、その後、ソース電極及びドレイン電極などを形成する。

【0190】前記構成を採ることに依って、ゲート電極に対してソース領域及びドレイン領域の位置合わせを自動的に行なうセルフ・アライメント方法の利点を維持しながら、ゲート絶縁膜に熱処理の高温が加わらないようになることができるので、材料に高誘電体或いは強誘電体を用いた場合、それ等が劣化するおそれは皆無である。

【0191】従って、トランジスタ・サイズの縮小則に沿うように縮小を行なった場合であっても、ゲート絶縁

膜のみは、高い誘電率を維持しながら、所要の耐圧が得られる程度に厚く形成することができ、従って、トランジスタの微細化、半導体装置の高集積化に寄与することができる。

【0192】また、強誘電体のゲート絶縁膜をもつトランジスタは、ヒステリシス特性をもつて、1トランジスタ型のメモリ素子を含むFeRAM (ferronellectrics random access memory) をセルフ・アライメント方法を適用して製造することができる。

【図面の簡単な説明】

【図1】本発明の原理を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図2】本発明の原理を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図3】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図4】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切断説明図である。

【図5】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図6】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図7】本発明に於ける実施の形態2を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図8】本発明に於ける実施の形態5を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図9】本発明に於ける実施の形態6を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図10】本発明に於ける実施の形態6を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図11】本発明に於ける実施の形態6を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図12】本発明に於ける実施の形態7を説明する為の工程要所に於ける半導体装置を表す要部切断説明図である。

【図13】本発明に於ける実施の形態7を説明する為の工程要所に於ける半導体装置を表す要部切断説明図である。

【図14】本発明に於ける実施の形態7を説明する為の工程要所に於ける半導体装置を表す要部切断説明図である。

る。

【図15】本発明に於ける実施の形態8を説明する為の工程要所に於ける半導体装置を表す要部切断説明図である。

【図16】本発明に於ける実施の形態8を説明する為の工程要所に於ける半導体装置を表す要部切断説明図である。

【図17】本発明に於ける実施の形態8を説明する為の工程要所に於ける半導体装置を表す要部切断説明図である。

【図18】従来例を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

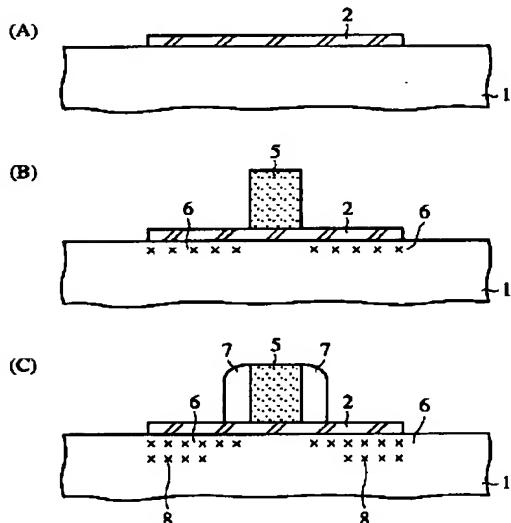
【図19】従来例を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【符号の説明】

- \* 21 Si半導体基板
- 22 酸化Si膜
- 23 窒化Si膜（選択除去可能なゲート絶縁膜ダミー）
- 24 フィールド絶縁膜
- 25 ゲート電極
- 26 S 低不純物濃度ソース領域
- 26 D 低不純物濃度ドレイン領域
- 27 サイド・ウォール
- 28 S 高不純物濃度ソース領域
- 28 D 高不純物濃度ドレイン領域
- 29 ゲート絶縁膜（高誘電体）
- 30 層間絶縁膜
- 31 S ソース電極
- 31 D ドレイン電極

【図1】

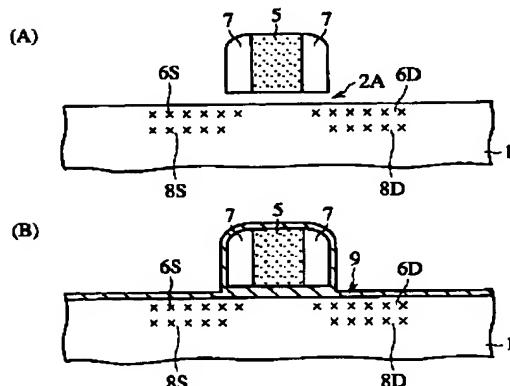
工程要所に於ける半導体装置の要部切断側面図



- 1: Si半導体基板
- 2: ゲート絶縁膜ダミー
- 5: ゲート電極
- 6: 低不純物濃度領域
- 7: サイド・ウォール
- 8: 高不純物濃度領域

【図2】

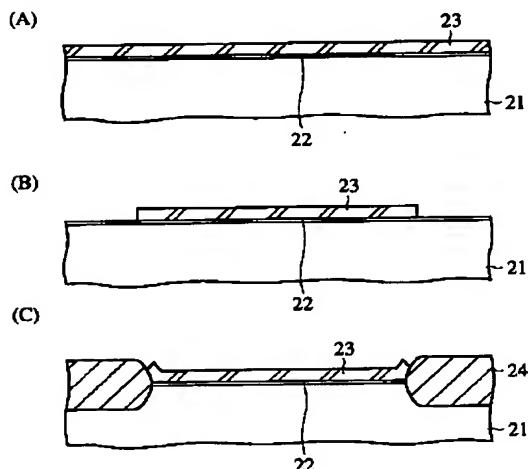
工程要所に於ける半導体装置の要部切断側面図



- 2A: 空洞
- 6S: 低不純物濃度ソース領域
- 6D: 低不純物濃度ドレイン領域
- 8S: 高不純物濃度ソース領域
- 8D: 高不純物濃度ドレイン領域
- 9: ゲート絶縁膜

【図3】

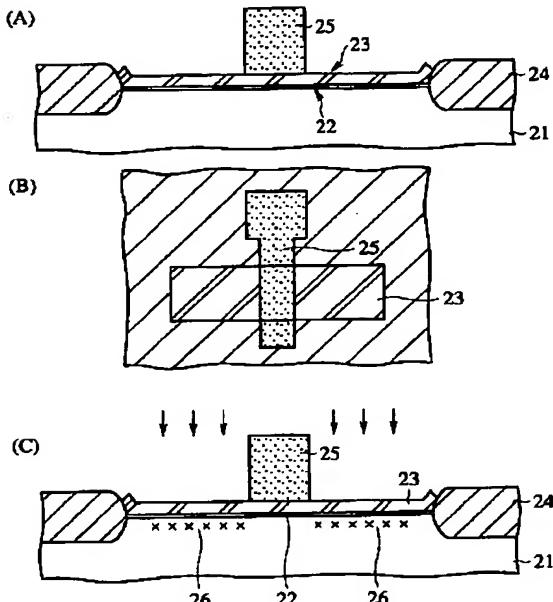
## 工程要所に於ける半導体装置の要部切断側面図



21: Si半導体基板  
22: 酸化Si膜(パッド酸化膜)  
23: 窒化Si膜(ゲート絶縁膜ダイマー)  
24: フィールド絶縁膜

【図4】

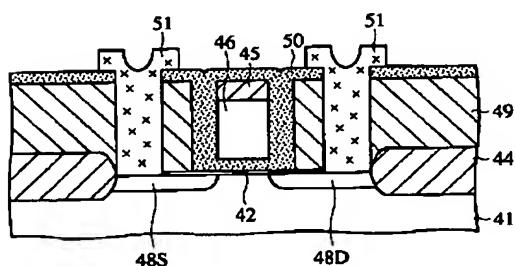
## 工程要所に於ける半導体装置の要部切断説明図



25: ゲート電極  
26: 低不純物濃度領域

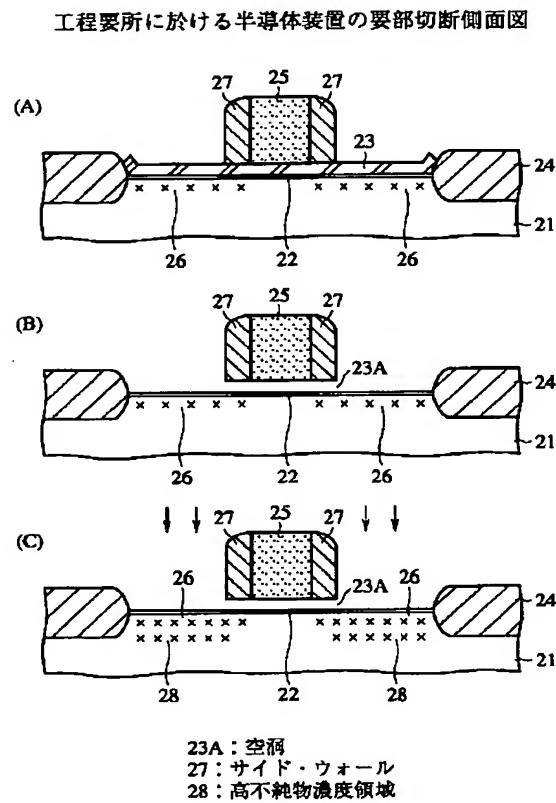
【図11】

## 工程要所に於ける半導体装置の要部切断側面図

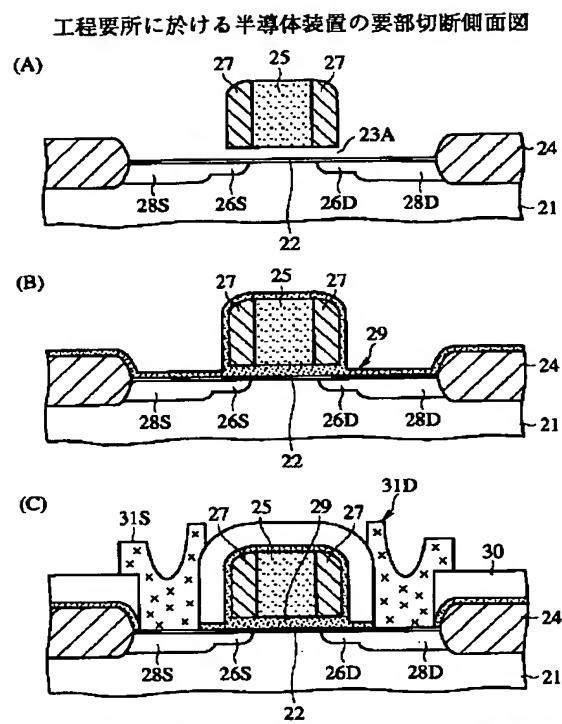


41: Si半導体基板  
42: 酸化Si膜(パッド酸化膜)  
44: フィールド絶縁膜  
45: 絶縁膜キャップ  
46: ゲート電極  
48S: ソース領域  
48D: ドレイン領域  
49: 絶縁膜  
50: 高誘電体膜  
51: 電極及び配線

【図5】

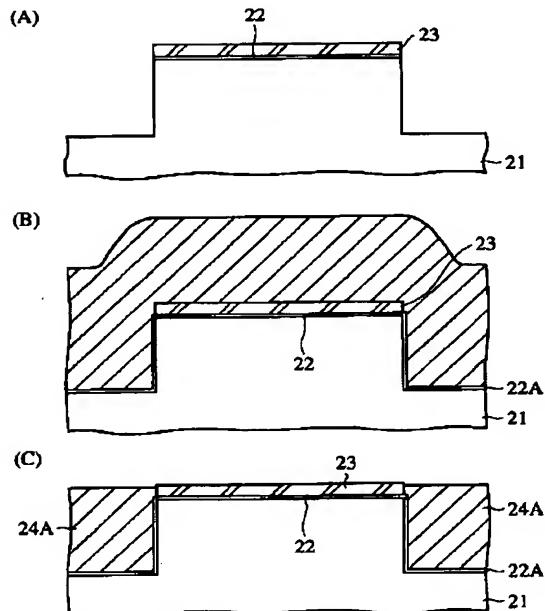


【図6】



【図7】

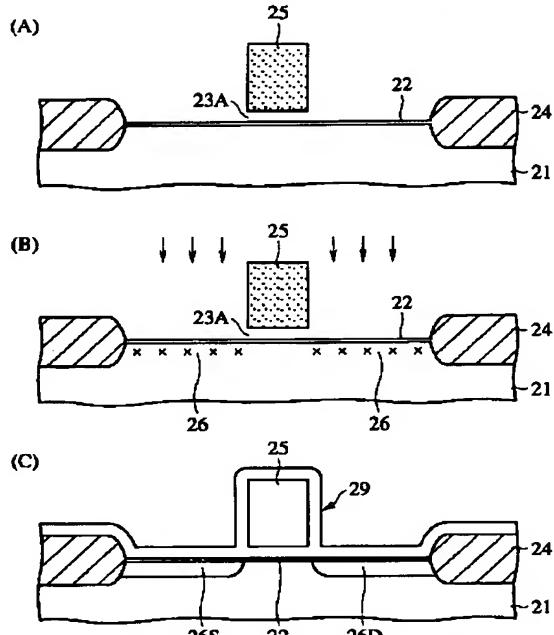
工程要所に於ける半導体装置の要部切断側面図



21: Si半導体基板  
 22: 酸化Si膜(パッド酸化膜)  
 22A: 酸化Si膜  
 23: 直化Si膜(ゲート絶縁膜ダミー)  
 24A: フィールド絶縁膜

【図8】

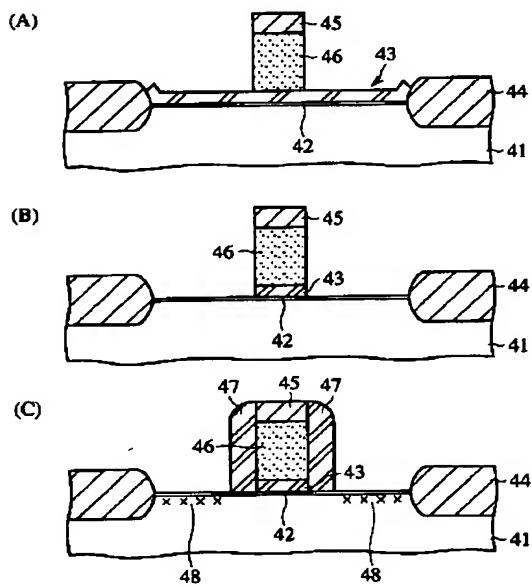
工程要所に於ける半導体装置の要部切断側面図



21: Si半導体基板  
 22: 酸化Si膜(パッド酸化膜)  
 23A: 空洞  
 24: フィールド絶縁膜  
 25: ゲート電極  
 26: 低不純物濃度領域  
 26S: 低不純物濃度ソース領域  
 26D: 低不純物濃度ドレイン領域  
 29: ゲート絶縁膜

【図9】

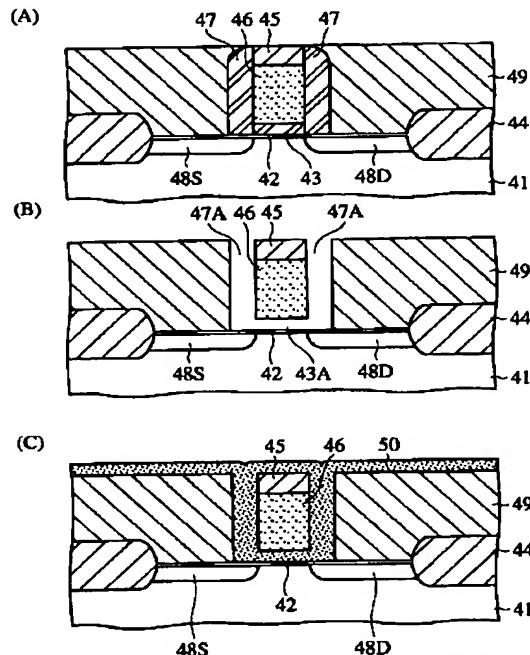
## 工程要所に於ける半導体装置の要部切断側面図



41: Si半導体基板  
42: 酸化Si膜(パッド酸化膜)  
43: 窒化Si膜(ゲート絶縁膜ダミー)  
44: フィールド絶縁膜  
45: 絶縁膜キャップ  
46: ゲート電極  
47: サイド・ウォール  
48: 高不純物濃度領域  
49: 空洞  
47A: 空洞  
48S: ソース領域  
48D: ドレイン領域  
50: 高誘電体膜

【図10】

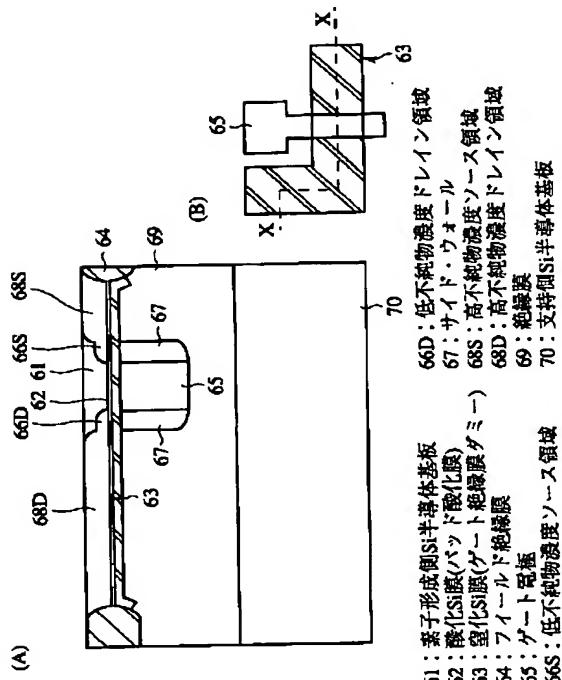
## 工程要所に於ける半導体装置の要部切断側面図



43A: 空洞  
47A: 空洞  
48S: ソース領域  
48D: ドレイン領域  
49: 絶縁膜  
50: 高誘電体膜

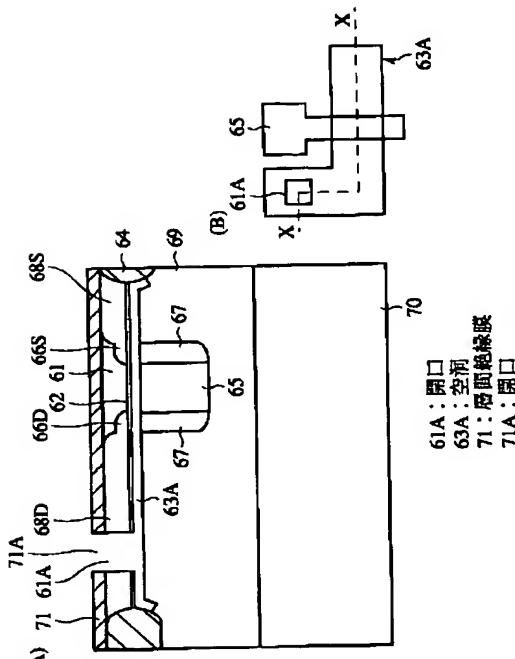
【図12】

工程要所に於ける半導体装置の要部切断説明図



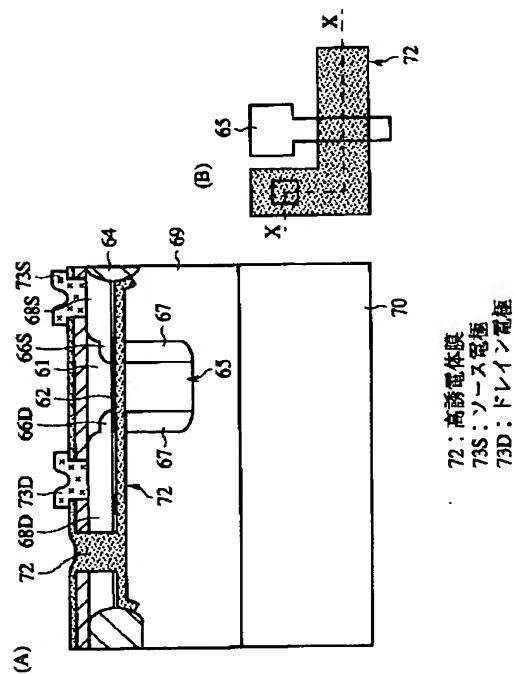
【図13】

工程要所に於ける半導体装置の要部切断説明図



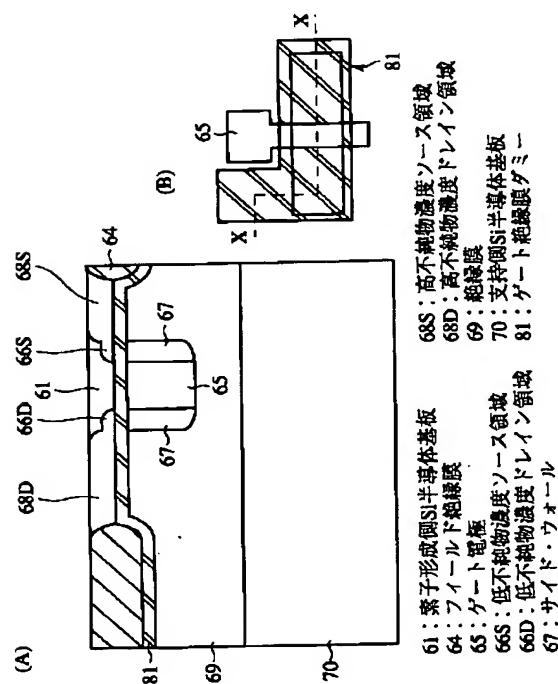
【図14】

工程要所に於ける半導体装置の要部切断説明図



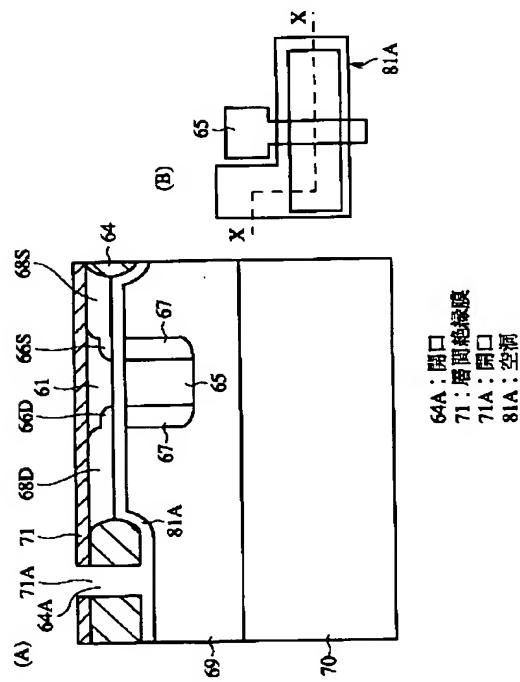
【図15】

工程要所に於ける半導体装置の要部切断説明図



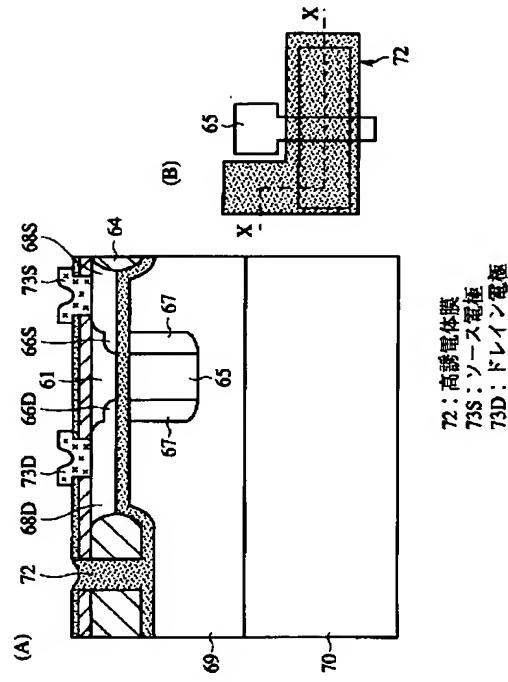
【図16】

工程要所に於ける半導体装置の要部切断説明図



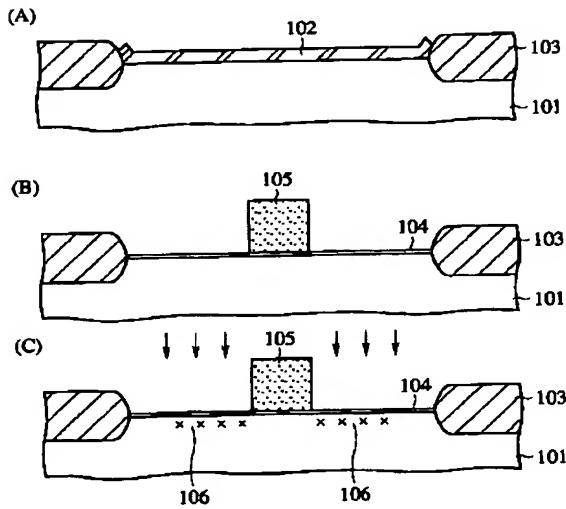
【図17】

工程要所に於ける半導体装置の要部切断説明図



【図18】

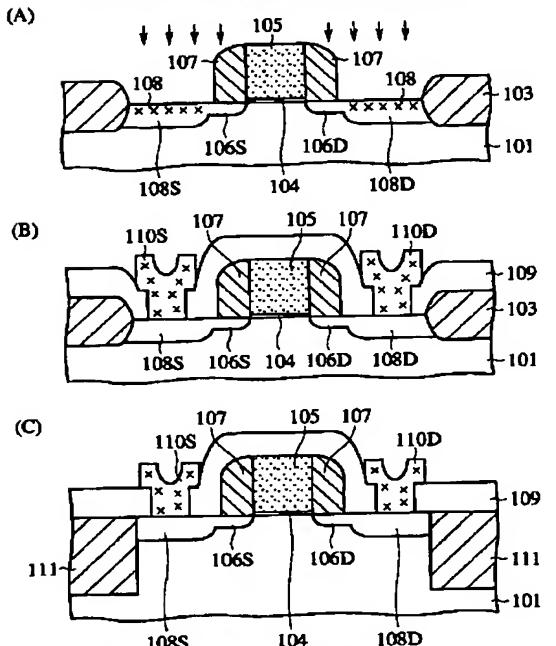
## 従来の半導体装置を表す要部切断側面図



101: Si半導体基板  
 102: 空化Si膜  
 103: フィールド絶縁膜  
 104: ゲート絶縁膜  
 105: ゲート電極  
 106: 低不純物濃度領域

【図19】

## 従来の半導体装置を表す要部切断側面図



106S: 低不純物濃度ソース領域 109: 絶縁膜  
 106D: 低不純物濃度ドレイン領域 110S: ソース電極  
 107: サイド・ウォール 110D: ドレイン電極  
 108: 高不純物濃度領域 111: フィールド絶縁膜(STI)  
 108S: 高不純物濃度ソース領域  
 108D: 高不純物濃度ドレイン領域

## フロントページの続き

F ターム(参考) 5F001 AA17 AD12 AD17 AD60 AD62  
 AF06 AC01 AG07 AC10 AG21  
 AG29  
 5F083 AD02 AD10 FR06 GA21 GA29  
 HA02 JA06 JA14 JA15 JA35  
 JA53 NA01 NA02 PR03 PR05  
 PR21 PR23 PR29 PR33 PR40  
 ZA28